

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11064443 A

(43) Date of publication of application: 05.03.99

(51) Int. Cl

G01R 31/26

H01L 21/66

(21) Application number: 10032773

(22) Date of filing: 16.02.98

(30) Priority: 12.08.97 KR 97 9738465

(71) Applicant: SAMSUNG ELECTRON CO LTD

(72) Inventor: RI SOSHOKU  
KA KEIGEN  
KIN SHOKYOKU  
IN TEIKYU

(54) SUPPORT FOR INSPECTING SEMICONDUCTOR  
DEVICE HAVING REAR SURFACE OPEN PART

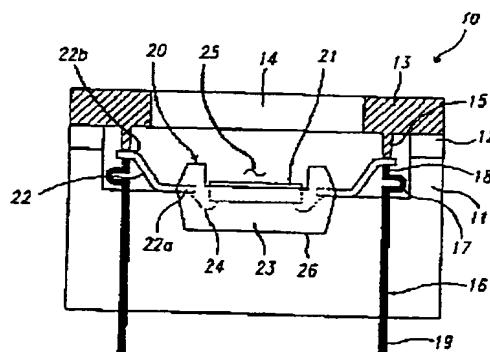
connection pin 18.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an inspection support for supporting a semiconductor device when inspecting a semiconductor package element having open backside.

SOLUTION: The inspection support 10 comprises a supporting drum 11 for securing a semiconductor device 20 having a mounting surface abutting on the front face of a package drum 23, a cover part 13 comprising a part 14 for opening the backside of a semiconductor chip 21, and a plurality of protrusions 15 touching a plurality of lead 22 and coupled separably with a plurality of leads 22, and connection pins 16 comprising a plurality of internal pins 18 connected electrically with the plurality of lead 22, and a plurality of external pins 19 connected electrically with an external element while penetrating the supporting drum 11. The internal pins 18 of the connection pins 16 has a buffer part 17 for protecting the lead 22 against damage and decreasing contact resistance between the lead 22 and the internal



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-64443

(43)公開日 平成11年(1999)3月5日

(51) Int.Cl.<sup>6</sup>

### 識別記号

FI  
G01R 31/26  
H01L 21/66

J  
D

審査請求 未請求 請求項の数11 OL (全 7 頁)

(21)出願番号 特願平10-32773  
(22)出願日 平成10年(1998)2月16日  
(31)優先権主張番号 1997 P 38465  
(32)優先日 1997年8月12日  
(33)優先権主張国 韓国(KR)

(71) 出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市八達区梅潭洞416

(72) 発明者 李 相植  
大韓民国京畿道龍仁市器興邑舊葛里漢陽ア  
パート107棟1101号

(72) 発明者 河 ▲桂▼元  
大韓民国京畿道水原市長安区律全洞208-  
1番地

(72) 発明者 金 鏡旭  
大韓民国京畿道龍仁市器興邑舊葛里漢陽ア  
パート102棟1101号

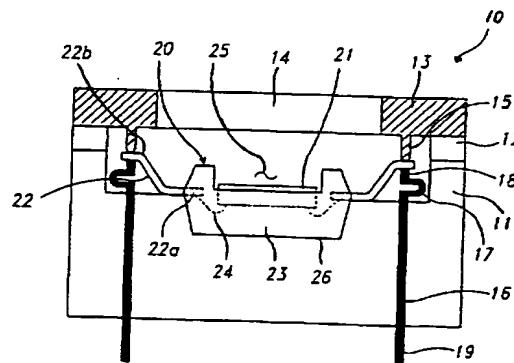
(74) 代理人 弁理士 服部 雅紀

(54) 【発明の名称】 裏面開放部を有する半導体素子検査用支持体

(57) 【要約】

【課題】 裏面が開放された半導体パッケージ素子を検査する際に、半導体素子を支持できる検査用支持体を提供する。

【解決手段】 検査用支持体10は、パッケージ胴体23の前面に接する載置面を有し、半導体素子20を固定させる支持胴体11と、半導体チップ21の裏面を開放させるための開放部14と、複数のリード22とを接触する複数の突出部15とを有し、支持胴体11と分離自在に連結されている蓋部13と、複数のリード22と電気的に連結される複数の内部ピン18と、内部ピン18と一体に形成され、支持胴体11を貫通して外部に突出されて外部素子と電気的に連結される複数の外部ピン19とを有する接続ピン16とを備える。また、接続ピン16の内部ピン18は、緩衝部17を有する。緩衝部17は、リード22が損傷されるのを防止し、リード22と内部接続ピン18の接触抵抗を減少させる。



## 【特許請求の範囲】

【請求項1】 半導体素子を支持するための検査用支持体であって、

前記半導体素子は、集積回路素子が形成された活性面と、前記活性面の反対側に位置する裏面とを有する半導体チップと、前記半導体チップを外部と電気的に連結する複数のリード及び前記半導体チップの裏面を露出させるために一部除去されている裏面と、前記裏面の反対側に位置する前面とを有するパッケージ胴体を備え、

前記パッケージ胴体の前面に接する載置面を有し、前記半導体素子を固定させる支持胴体と、

前記半導体チップの裏面を開放させるための開放部と、前記半導体素子の複数のリードと接触する複数の突出部とを有し、前記支持胴体と分離自在に連結されている蓋部と、

前記半導体素子の複数のリードと電気的に連結される複数の内部ピンと、前記内部ピンと一体に形成され、前記支持胴体を貫通して外部に突出されて外部素子と電気的に連結される複数の外部ピンとを有する接続ピンと、を備えることを特徴とする検査用支持体。

【請求項2】 前記載置面は、前記パッケージ胴体の外面を沿って凹設されていることを特徴とする請求項1記載の検査用支持体。

【請求項3】 前記載置面には、複数の真空孔が形成されており、前記半導体素子は、真空状態により前記載置面に固定されることを特徴とする請求項1記載の検査用支持体。

【請求項4】 前記複数のリードは、前記パッケージ胴体から突出する複数の外部リードを有し、前記外部リードは、鳴の翼状に折曲され、前記突出部と前記内部ピンの間に噛み合わることを特徴とする請求項1記載の検査用支持体。

【請求項5】 前記複数のリードは、前記パッケージ胴体から突出する複数の外部リードを有し、前記外部リードは、J字状に折曲され、前記外部リードと前記突出部の間に前記内部ピンが噛み合わることを特徴とする請求項1記載の検査用支持体。

【請求項6】 前記外部ピンは、前記開放部が形成された方向の反対方向に突出されることを特徴とする請求項1記載の検査用支持体。

【請求項7】 前記開放部は、前記半導体チップの露出された裏面よりも大きいことを特徴とする請求項1記載の検査用支持体。

【請求項8】 前記内部ピンは、緩衝部を有することを特徴とする請求項1記載の検査用支持体。

【請求項9】 前記支持胴体及び蓋部は、電気絶縁性であることを特徴とする請求項1記載の検査用支持体。

【請求項10】 前記支持胴体は、熱伝導性であることを特徴とする請求項1記載の検査用支持体。

【請求項11】 前記複数のリードは、前記パッケージ

胴体の内部に含まれる複数の内部リードを有し、前記複数の内部リードは、前記活性面に取付けられることを特徴とする請求項1記載の検査用支持体。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体チップの裏面不良分析時に半導体チップパッケージを支持するに使用される検査用支持体に關し、より詳しくは、半導体チップの裏面を露出させるための開放部と、この開放部と反対方向に突出され、半導体素子の外部リードと電気的に連結される接続ピンとを有する検査用支持体に関するものである。

## 【0002】

【従来の技術】 半導体集積回路素子の不良分析としては、高温部検出技術(hot spot detection technique)が広く使用される。高温部検出技術には、放射顕微鏡検査法(EMS: Emission MicroScopy)、液晶法(liquid crystal)及びO B I C法(Optical Beam Induced Current)がある。放射顕微鏡検査法は、不良の位置を捜すために電源電圧を素子に印加した後、不良部位から発生される光子と熱放出部位を外部から検出する方法である。この際、赤外線領域の光を収集する。

【0003】 しかしながら、回路配置が複雑な素子、多層金属膜を使用した素子、又は、半導体チップの活性面が下方に向くようにするフリップチップ実装技術を適用した素子の場合、従来の前面不良分析技術を適用できない。その理由は、素子内で実際に不良が発生する部分は、電源供給バスラインまたは多層金属層の下部に位置し、又はフリップチップパッケージの場合は、チップの活性面を露出させることができないからである。特に、最近リードフレームのリードがチップの活性面上に取り付けられるリードオンチップ(LOC)パッケージがメモリ素子などに広く適用されている。このようなLOC構造のパッケージでは、チップの活性面がリードフレームのリードに隠されているので、前面不良分析技術を適用することは不可能である。

【0004】 そこで、裏面不良分析技術を利用して不良が発生した位置を検知し、その原因を分析する技術が開発された。裏面不良分析技術は、例えば、「Function

al Failure Analysis Technology from Backside of VLSI Chip」, by T. Ishii and K. Miyamoto, Proceedings of the 20th International Symposium for Testing and Failure Analysis, 1994, p.p.41-47」, 「Failure Analysis From Back Side of Die」, by N. M. Wu et. al, ISTFA 1996, p.p.393-399」及び「Intelligent Defect Localization Methodology Through the Use of Photoemission Spectral Analysis」, by Sang-Sik LEE et. al, ISTFA 1995, p.p.22-27」に開示されている。

【0005】 このような裏面不良分析技術を適用するた

めには、半導体パッケージ素子の裏面を開放する裏面開放が先行されなければならない。裏面開放は、パッケージの前面を開放してチップの活性面を露出させる前面開放より難しい。その理由は、半導体チップが取り付けられるダイパッドを除去し、且つ、ダイパッドと半導体チップを接着させる接着剤を除去し、また、シリコン基板の厚さを薄くするためにチップの裏面を研磨しなければならないからである。

【0006】裏面開放工程は、通常、次のように進行される。まず、パッケージの裏面を一部除去してダイパッドを開放する。ダイパッドを除去した後、チップの裏面に取り付けられた接着剤を除去し、アセトン等で洗浄する。さらに、チップの厚さを薄くするためにチップの裏面を研削し、1 μm以上のサイズを有するスクラッチを除去するためにチップの裏面を研磨した後、チップの裏面を洗浄する。

【0007】パッケージの裏面を開放するために、窒素または硫酸を用いた湿式エッチング法又はドリリング(drilling)やミリング(milling)器具を使用することができる。ドリリングやミリング器具を用いた裏面開放工程は、次のように行われる。まず、ミリングマシンまたはハンドドリルを利用して、ダイパッドが露出されるまでパッケージ胴体の裏面を研削してパッケージ胴体の裏面を開放させる。ここで、パッケージの裏面における開放部位は、ダイパッドのサイズとほぼ同一であるように設定される。電気伝導性を向上させるため、ダイパッドと半導体チップの裏面間に取り付けられている銀(Ag)のような金属は、刀や尖ったピンセット等で除去する。ダイパッドにチップを取り付けるため使用された接着剤は、綿棒のような道具を使用してアセトンで容易に除去できる。半導体チップの厚さをより薄くするためには、ダイヤモンドチップ(tip)等を使用して半導体チップの裏面を研磨する。

【0008】

【発明が解決しようとする課題】裏面が開放された半導体素子に対して、高温部検出技術を使用して裏面不良分析を行うためには、検査装置と連結される検査用基板に、半導体パッケージ素子を実装すべきである。検査用基板は、半導体素子の外部リードに電気的に接続される配線パターンを有する。ところが、裏面が開放された半導体素子の場合、半導体素子の裏面が配線パターンが形成された検査用基板の上面に取り付けられるように、半導体素子を検査用基板に実装すると、半導体素子の開放された裏面が露出されないので、裏面不良分析技術を適用できない。

【0009】そこで、裏面が開放された半導体パッケージ素子を検査用基板に実装し、不良分析のための検査工程時に、半導体素子を支持するための支持体が必要になる。従って、本発明の目的は、裏面が開放された半導体パッケージ素子を検査する際に、半導体素子を支持でき

る検査用支持体を提供することにある。また、本発明の他の目的は、裏面不良分析技術を適用して半導体素子の不良位置を検出する検査工程に適合する検査用支持体を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明の検査用支持体によると、半導体素子を支持するための検査用支持体であり、前記半導体素子は、集積回路素子が形成された活性面と、前記活性面の反対面に位置する裏面を有する半導体チップと、前記半導体チップを外部と電気的に連結する複数のリードと及び前記半導体チップの裏面を露出させるために一部除去されている裏面と、前記裏面の反対側に位置する前面とを有するパッケージ胴体を備え、前記パッケージ胴体の前面に接する載置面を有し、前記半導体素子を固定させる支持胴体と、前記半導体チップの裏面を開放させるための開放部と、前記半導体素子の複数のリードとを接触する複数の突出部とを有し、前記支持胴体と分離自在に連結されている蓋部と、前記半導体素子の複数のリードと電気的に連結される複数の内部ピンと、前記内部ピンと一体に形成され、前記支持胴体を貫通して外部に突出されて外部素子と電気的に連結される複数の外部ピンとを有する接続ピンと、を備えることを特徴とする。

【0011】また、接続ピンの内部ピンは、緩衝部を有する。緩衝部は、半導体素子のリードが損傷されるのを防止し、リードと内部接続ピンの接触抵抗を減少させる。本発明の検査用支持体は、突出部と内部接続ピンの構造を変更することにより、SOJ、QFP、SOP、PLCC、DIP等のような多類型の半導体素子を効果的に支持することができる。

【0012】

【発明の実施の形態】以下、図面を参照して、本発明による好ましい実施例について説明する。図1及び図2は、本発明の一実施例による半導体素子検査用支持体の断面図及び平面図である。検査用支持体10は、支持胴体11、連結部12、蓋部13及び接続ピン16を含む。支持胴体11は、検査しようとする半導体素子20が載置される載置面26を有し、支持胴体11には、接続ピン16を通過させるための貫通孔が形成されている。載置面26は、半導体素子20の外面に沿って凹設される。支持胴体11は、連結部12を介して蓋部13と結合される。蓋部13は、支持胴体11から脱離可能であり、よって、検査しようとする半導体素子20を検査用支持体10に挿入することができる。蓋部13には開放部14が形成されている。この開放部14は、裏面開放技術により露出された半導体チップ21の裏面を開放させるためのものである。

【0013】半導体素子20は、半導体チップ21、複数のリード22及びパッケージ胴体23を含む。半導体チップ21は、集積回路素子が形成されている活性面

と、これと対向する裏面を有する。半導体素子20は、半導体チップ21の活性面が下向きになるように、検査用支持体10に実装される。リード22は、ボンディングワイヤ24により、半導体チップ21の活性面に形成されている図示しない電極パッドに電気的に連結される。リード22は、内部リード22aと、この内部リード22aと一体に形成される外部リード22bとからなる。内部リード22aは、パッケージ胴体23により封止され、ボンディングワイヤが接合されている。そして、外部リード22bは、パッケージ胴体23から突出し、接続ピン16のような外部回路素子に半導体チップ21を電気的に連結させる。この際、半導体素子の外部リード22bは、パッケージ胴体23の2辺又は4辺を沿って突出することができる。図1に示すように、本発明の一実施例による外部リード22bは、鴨の翼状に折曲されて、面実装型パッケージを実現する。

【0014】半導体素子20の裏面は、前述したようなドリリング又はミリングによりパッケージ胴体23の裏面の一部を除去することにより、半導体チップ21の裏面を露出させるための裏面開放部25を有する。接続ピン16は、半導体素子の外部リード22bと接触する内部ピン18と、支持胴体11を貫通して支持胴体の外部に突出する外部ピン19とを有する。内部ピン18には、緩衝部17が形成されている。緩衝部17は、蓋部13の突出部15と接続ピン16の内部ピン18との間に半導体素子20の外部リード22bが噛み合われる際に、外部リード22bが損なわれることを防止とともに、外部リード22bと内部ピン18間の接触抵抗を減少させるためのものである。外部ピン19は、開放部14が形成された方向と反対側に突出される。また、外部ピン19は、図示しない検査用基板の配線パターンと電気的に連結され、よって、半導体素子と図示しない検査装置間の信号伝達を可能にする。外部ピン19の突出方向が、開放部14の形成方向と反対であるので、検査用支持体10を検査用基板に実装しても、開放部14を介して半導体チップ21の裏面から熱又は光を検出することにより、半導体素子の裏面不良分析を行うことができる。

【0015】蓋部13の開放部14は、半導体素子20の裏面開放部25より大きくなければならないし、支持胴体11、連結部12及び蓋部13は、電気絶縁体である。一方、半導体チップの熱分析の際に、回路パターンがよく現れない場合、約30℃乃至80℃の温度を印加しなければならない。従って、支持胴体11は、熱伝導性の良いことが要求される。

【0016】前述した半導体素子検査用支持体は、外部リードが外側に折曲されたSOP(Small Outline Package)、TSOP(Thin SOP)、又は、QFP(Quad Flat Package)の検査に適合する検査用支持体である。しかし、本発明の検査用支持体は、外部リードが内側に折

曲形成された半導体素子に対しても、適用可能である。すなわち、突出部と内部ピンの構造を変更することにより、本発明を適用することが可能である。例えば、図3に示すように、半導体素子40の外部リード42bがJ字状に折曲された場合、接続ピン36の内部ピン38は、その端部が垂直に折曲されて外部リード42bと連結され、且つ蓋部33の突出部35は、内部ピン38の垂直折曲部と接触する構造を有する検査用支持体30を使用する。接続ピン36は、緩衝部37と、支持胴体31を貫通して外部に突出する外部リード39とをさらに含む。半導体チップ41の裏面は、蓋部33の開放部34を介して外部に露出される。ここで、垂直に折曲された内部ピン38が半導体チップ41の裏面を遮断してはならない。

【0017】図3に示した検査用支持体30を使用すると、PLCC(Plastic Leaded ChipCarrier)、SOJ(Small Outline J-leaded)のようなパッケージだけでなく、DIP(Dual In-line Package)のようなピン挿入型パッケージも支持することができる。なお、検査用支持体の蓋部は、前述のように、支持胴体から分離可能に結合される。蓋部と支持胴体の分離方法には、図4に示すような完全分離方法と、図5に示すように、蓋部の一方の端部をヒンジにより支持胴体に固定させて蓋部を開閉する方法がある。

【0018】図4を参照すると、蓋部13と支持胴体11は完全分離され、ボルト50のような締結手段により結合される。ボルト50により蓋部13を支持胴体11に結合させるため、蓋部13には第1ボルト孔51が形成され、連結部12には第2ボルト孔52が形成される。蓋部13と支持胴体11が完全に分離された状態で、検査しようとする半導体素子を支持胴体11に搭載する。第1、第2ボルト孔51、52にボルト50を挿入することにより、蓋部13を支持胴体11に締結して、半導体素子が接続ピン16と電気的に連結されるようにした後、半導体素子が搭載された検査用支持体を図示しない検査用基板に実装する。

【0019】図5を参照すると、蓋部13の一端は、ヒンジ60のような締結手段により支持胴体11の連結部12の一側に固定されている。この際、蓋部13の他端は、連結部の他側から分離可能であり、これにより、蓋部13の他端は、矢印で示したように開閉可能である。蓋部13の他端が開いた状態で、検査しようとする半導体素子を支持胴体11に搭載する。そして、蓋部13の他端を閉めると、半導体素子と接続ピン16が電気的に連結される。半導体素子が搭載された支持体を検査用基板に実装して、裏面不良分析を進行する。

【0020】図6は、本発明の他の実施例による検査用支持体の断面図である。検査用支持体70は、前記実施例の検査用支持体と同様に、支持胴体71、連結部72、蓋部73及び支持胴体を貫通する接続ピン76を含

む。蓋部73には、半導体素子80の開放された裏面を露出させるため、開放部74が形成されている。支持胴体71は、半導体素子80が載置される載置面を有し、載置面にはゴムのような弾性体85が取り付けられている。すなわち、載置面は、前述の実施例とは別に、半導体素子80のパッケージ外面を沿って形成された凹部を有しない。

【0021】弾性体85には、複数の孔86が形成されており、この孔86は、基板胴体71を貫通する真空孔87とお互いに連結されている。真空孔87は、基板胴体71から突出する真空チューブ88に連結される。弾性体85の孔86及び真空孔87を介して基板胴体71と半導体素子80との間に真空状態を形成することになる。従って、半導体素子80は、真空チューブ88を介して真空孔87及び孔86に提供される真空状態により検査用支持体70に固定される。

【0022】図7は、本発明による検査用支持体を用いた裏面不良分析に使用される検査システムを示す概略図である。検査用支持体90には、図示しない半導体素子が固定される。ここで、半導体チップの裏面は、半導体パッケージ素子の裏面を一部開放することにより露出され、半導体パッケージ素子は、接続ピンにより検査用基板96に電気的に連結される。検査装置98は、ケーブル97を介して検査用基板96に連結され、マイクロプロセッサを内蔵する制御器99の制御により半導体素子に電源信号、アドレス信号等を印加する。

【0023】半導体素子で不良が発生すると、レンズ92、赤外線カメラ91により、その位置が検出される。半導体素子の回路パターンの不良部分から放射された光は、シリコン基板を通して半導体チップの裏面に到達する。レンズ92は、光学顕微鏡レンズであり、このレンズ92と赤外線カメラ91により検出された不良の位置は、ケーブル94を介して不良分析器95に伝送される。不良分析器95は、モニター等のような画面表示装置を備え、不良位置を画面に表示する。もし、熱分析の際に、回路パターンが画面に正しく現れない場合は、検査用支持体の支持胴体に熱を印加して、鮮明な画面が現れるようとする。この際、印加する熱は、約30°C乃至80°C程度の温度範囲を有する。

【0024】不良の位置を検出する際に赤外線カメラを使用する理由は、赤外線領域の光が半導体素子のシリコン基板を透過するので、半導体素子の回路領域から放射された光を半導体チップの裏面で収集することができるからである。放射顕微鏡検査法を用いた裏面不良分析の際には、シリコン基板等が光子を吸収する程度、基板の

厚さ、基板のドーピング濃度及び、放射顕微鏡の周波数応答等を考慮しなければならない。

【0025】

【発明の効果】以上説明したように、本発明によると、半導体チップ裏面不良分析時において、裏面が開放された半導体素子を支持する検査用支持体が提供される。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体素子検査用支持体の断面図である。

【図2】図1に図示した検査用支持体の平面図である。

【図3】本発明の一実施例による半導体素子検査用支持体の断面図である。

【図4】本発明による半導体素子検査用支持体の蓋部と支持胴体の連結関係を示す部分断面図である。

【図5】本発明による半導体素子検査用支持体の蓋部と支持胴体の連結関係を示す部分断面図である。

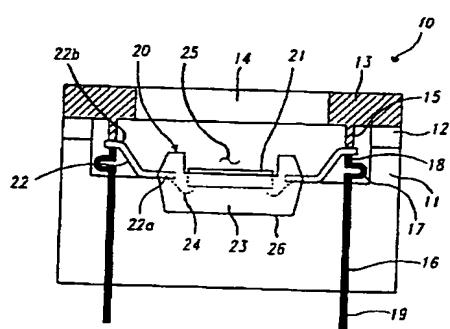
【図6】本発明の他の実施例による半導体素子検査用支持体の断面図である。

【図7】本発明による半導体素子検査用支持体を使用して裏面不良分析をするための検査システムの概略プロック図である。

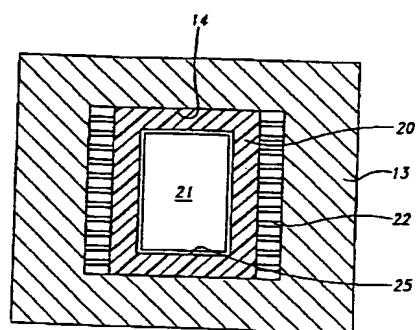
【符号の説明】

10	検査用支持体
11	支持胴体
12	連結部
13	蓋部
14	開放部
15	突出部
16	接続ピン
30	緩衝部
17	内部ピン
18	外部ピン
19	半導体素子
20	半導体チップ
21	リード
22 a	内部リード
22 b	外部リード
23	パッケージ胴体
24	ボンディングワイヤ
40	裏面開放部
25	ボルト
50	ヒンジ
60	弾性体
87	真空孔
88	真空チューブ

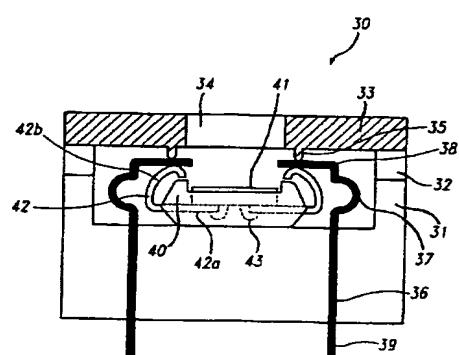
【図1】



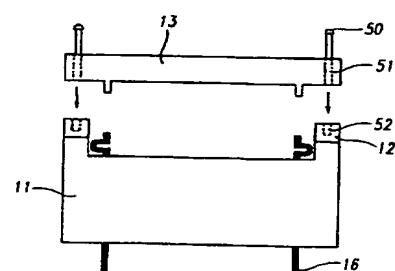
【図2】



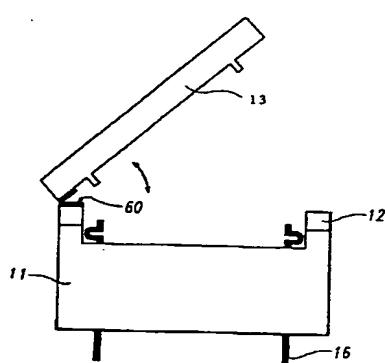
【図3】



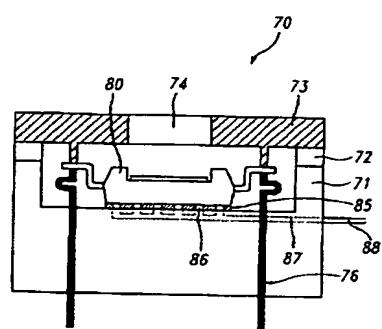
【図4】



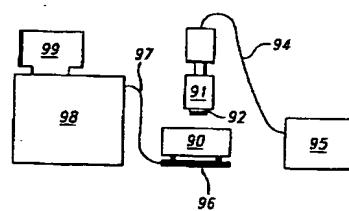
【図5】



【図6】



【図7】



---

フロントページの続き

(72)発明者 尹 程九

大韓民国ソウル瑞草区蠶原洞73新反哺2地  
区アパート101棟906号